

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shinichi SUWA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: ²Herewith

FOR: UTOPIA INTERFACE CONTROL DEVICE AND METHOD, AND BACK WIRING BOARD FOR USE IN
UTOPIA INTERFACE CONTROL DEVICE

REQUEST FOR PRIORITY

ASSISTANT COMMISSIONER FOR PATENTS
WASHINGTON, D.C. 20231

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date of U.S. Provisional Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §119(e).
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY

APPLICATION NUMBER

MONTH/DAY/YEAR

Japan

2001-259991

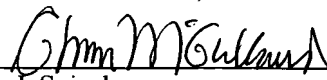
August 29, 2001

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

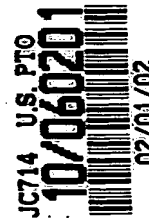
OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850



Handwritten initials and date: 11/25/02

日 本 国 特 許 庁
JAPAN PATENT OFFICE

JCT14 U.S. PTO
10/060201
02/01/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application: 2001年 8月29日

出 願 番 号

Application Number: 特願2001-259991

出 願 人

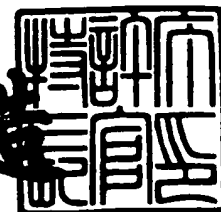
Applicant(s): 三菱電機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084780

【書類名】 特許願

【整理番号】 533112JP01

【提出日】 平成13年 8月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H04L 12/00
H04Q 3/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 諏訪 進一

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100066474

【弁理士】

【氏名又は名称】 田澤 博昭

【選任した代理人】

【識別番号】 100088605

【弁理士】

【氏名又は名称】 加藤 公延

【手数料の表示】

【予納台帳番号】 020640

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 U T O P I A インタフェース制御装置及び方法並びに該装置に用いるバックワイヤボード

【特許請求の範囲】

【請求項 1】 A T M レイヤ機能と P H Y レイヤ機能を U T O P I A - L E V E L 2 で接続する U T O P I A インタフェース制御方法において、

U T O P I A アドレス数を単位として P H Y レイヤ機能を複数のグループ N に拡張させ、

A T M レイヤ機能と P H Y レイヤ機能の各グループとの間で U T O P I A アドレスを共通に制御し、

A T M レイヤ機能と P H Y レイヤ機能の各グループとの間でセルアベイラブルを個別に制御し、

A T M レイヤ機能と P H Y レイヤ機能の各グループとの間にイネーブルを個別に制御することにより、

A T M レイヤ機能と P H Y レイヤ機能を $1 : 32 \times N$ で制御可能なことを特徴とする U T O P I A インタフェース制御方法。

【請求項 2】 A T M レイヤ機能と P H Y レイヤ機能を U T O P I A - L E V E L 2 で接続する U T O P I A インタフェース制御装置において、

U T O P I A アドレス数を単位として複数のグループ N からなる P H Y レイヤ機能と、

A T M レイヤ機能と P H Y レイヤ機能の各グループとの間に共通に接続される U T O P I A アドレス信号のラインと、

A T M レイヤ機能と P H Y レイヤ機能の各グループとの間に個別に接続されるセルアベイラブル信号のラインと、

A T M レイヤ機能と P H Y レイヤ機能の各グループとの間に個別に接続されるイネーブル信号のラインとを備え、

A T M レイヤ機能と P H Y レイヤ機能を $1 : 32 \times N$ で接続可能なことを特徴とする U T O P I A インタフェース制御装置。

【請求項 3】 A T M レイヤ機能は、Q o s クラスの優先処理を行うもので

、PHYレイヤ機能の各グループで同じUTOPIAアドレスのセルアベイラブル信号をアサートした場合、CBRトラフィックのPHYレイヤ機能のグループに対するセルの送信をUBRトラフィックのグループに対するセルの送信より優先するよう優先度を設定する送信順序設定手段を備えたことを特徴とする請求項2記載のUTOPIAインタフェース制御装置。

【請求項4】 ATMレイヤ機能は、QoSクラスの優先処理を行うもので、PHYレイヤ機能の各グループで同じUTOPIAアドレスのセルアベイラブル信号をアサートし、送信するセルがいずれもCBR、あるいはUBRトラフィックで同一な場合には、予め設定した優先順のグループ番号のPHYレイヤ機能に対するセルの送信を実行する送信順序処理手段を備えたことを特徴とする請求項2、3のうちいずれか1項記載のUTOPIAインタフェース制御装置。

【請求項5】 ATMレイヤ機能とPHYレイヤ機能をUTOPIA-LEVEL2で接続するUTOPIAインタフェース制御装置に用いられるバックワイヤボードにおいて、

ATM機能とUTOPIAアドレス数を単位として複数のグループNからなるPHYレイヤ機能との間の信号線は、

ATMレイヤ機能からPHYレイヤ機能の各グループに対してUTOPIAアドレス及びデータ用のラインを共通に並列接続し、

ATMレイヤ機能からPHYレイヤ機能の各グループに対してセルアベイラブル／イネーブル用のラインをそれぞれ個別に接続してなることを特徴とするUTOPIAインタフェース制御装置に用いられるバックワイヤボード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、UTOPIAインタフェースを用いてATMレイヤ機能と複数のPHYレイヤ機能を接続するUTOPIAインタフェース制御装置及び方法並びに該装置に用いるバックワイヤボードに関するものである。

【0002】

【従来の技術】

A T Mレイヤ機能と複数の P H Yレイヤ機能（以降 A T M機能、P H Y機能と称す）を接続する方式として A T Mフォーラムにて U T O P I A（Universal test & operations interface for ATM）インタフェース（U T O P I A - L E V E L 2インタフェース）の規定がある。

【 0 0 0 3 】

図 4 は従来の U T O P I Aインタフェース制御方式による A T Mレイヤ機能と P H Yレイヤ機能の接続構成を示す図であり、図において、4 0 は A T M機能、4 1 は加入者インタフェースである。この方式は、U T O P I Aアドレス（5 b i t）、セルアベイラブル、イネーブル、データ（8 / 1 6 b i t）クロックで構成し、加入者インタフェースにおいて最大 3 2 P H Y機能（図中 # 0 0 ~ # 3 1）に対して A T Mセルの送受信が可能な方式になっている。

【 0 0 0 4 】

次に動作について説明する。

図 5 のシーケンス図を用いて、上記方式を用いた A T M機能から加入者インタフェースへのセル（A T Mデータ）の授受の方式を説明する。

1. A T M機能から加入者インタフェースの P H Y機能に対し、U T O P I Aアドレスにて P H Y機能番号を指定（# 0 0 ~ 3 1）（ポーリング）する。
2. P H Y機能から A T M機能に対し、セルアベイラブル信号にてセル受信可能（T xセルアベイラブル）を通知する。
3. A T M機能から P H Y機能に対し、出力可能なセルをセルアベイラブル信号受信の P H Y機能番号に対してイネーブル信号（T xイネーブル）をアサートして送信する。

【 0 0 0 5 】

【発明が解決しようとする課題】

従来の U T O P I Aインタフェース制御方式は以上のように構成されており、A T M機能と P H Y機能との間は、1 : 3 2 の部品間のインタフェースとして規定されている。また、Q o s（Quality of service）制御等については、規定されていない。

【 0 0 0 6 】

したがって、従来の制御方式では、ATM機能に対し、最大32のPHY機能しか接続ができない。図示の例では、ある単一の加入者インタフェース41に対してしか接続できない。また、同じPHY番号のPHY機能が1つのATM機能に接続する場合、PHY番号が重複しないように、PHY番号を変換する必要がある、ATM機能に対して同じ番号を持ったPHY機能を単に並列に接続することができず、PHY機能の数を増加できないなどの課題があった。

【0007】

この発明は上記のような課題を解決するためになされたもので、簡単な構成でPHY機能の数をより増大させてATM機能に接続できるUTOPIAインタフェース制御装置及び方法を得ることを目的とする。

また、この発明は、UTOPIAインタフェースを構成する配線の削減ができるUTOPIAインタフェース制御装置に用いるバックワイヤボードを得ることを目的とする。

【0008】

【課題を解決するための手段】

この発明に係るUTOPIAインタフェース制御方法は、PHYレイヤ機能を複数のグループNに拡張させ、ATMレイヤ機能とPHYレイヤ機能の各グループとの間で、UTOPIAアドレスを共通に制御し、セルアベイラブル、イネーブルをそれぞれ個別に制御するものである。

【0009】

この発明に係るUTOPIAインタフェース制御装置は、複数のグループNからなるPHYレイヤ機能と、ATMレイヤ機能とPHYレイヤ機能の各グループとの間に共通に接続されるUTOPIAアドレス信号のラインと、ATMレイヤ機能とPHYレイヤ機能の各グループとの間に個別に接続されるセルアベイラブル信号、イネーブル信号のラインとを備えたものである。

【0010】

この発明に係るUTOPIAインタフェース制御装置は、ATMレイヤ機能は、PHYレイヤ機能の各グループで同じUTOPIAアドレスのセルアベイラブル信号をアサートした場合、CBRトラフィックのPHYレイヤ機能のグループ

に対するセルの送信をUBRトラフィックのグループに対するセルの送信より優先するよう優先度を設定する送信順序設定手段を備えたものである。

【0011】

この発明に係るUTOPIAインタフェース制御装置は、ATMレイヤ機能は、PHYレイヤ機能の各グループで同じUTOPIAアドレスのセルアベイラブル信号をアサートし、送信するセルがいずれもCBR、あるいはUBRトラフィックで同一な場合には、予め設定した優先順のグループ番号のPHYレイヤ機能に対するセルの送信を実行する送信順序処理手段を備えたものである。

【0012】

この発明に係るUTOPIAインタフェース制御装置に用いるバックワイヤボードは、ATM機能とUTOPIAアドレス数を単位として複数のグループNからなるPHYレイヤ機能との間の信号線は、ATMレイヤ機能からPHYレイヤ機能の各グループに対してUTOPIAアドレス及びデータ用のラインを共通に並列接続し、ATMレイヤ機能からPHYレイヤ機能の各グループに対してセルアベイラブル／イネーブル用のラインをそれぞれ個別に接続したものである。

【0013】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明のUTOPIAインタフェース制御装置を示すブロック図である。図において、1はATM機能、2は加入者インタフェース、3はUTOPIA-LEVEL2インタフェースである。加入者インタフェース2は、グループ数N分設けられる。各加入者インタフェース2A～2Nは、それぞれ1～32のPHY機能を有する。これらATM機能1と加入者インタフェース2は、UTOPIA-LEVEL2インタフェース(UTOPIA-I/Fと称す)3で接続されている。

【0014】

このUTOPIA-I/F3は、

①イネーブル／セルアベイラブル信号を加入者インタフェース2のグループ数1

～Nまで拡張されている。

②ポーリング方式として、UTOPIAアドレス5本+イネーブル／セルアベイラブル信号(N本)を使用して、ATM機能1に対し $32 \times N$ のPHY機能を接続しセル送受を行う。

【0015】

例えば、UTOPIA-I/F3に対してアドレス5bit(0～4)、イネーブル／セルアベイラブル信号に13bit(0～14)を使用することにより、最大192PHY($N=6$, $N \times 32 = 192$)の拡張スロットをサポートすることができ、ATM機能1:PHY機能2=1:192としたUTOPIAインタフェース制御が行えるようになる。

【0016】

図示のように、UTOPIA-I/F3は、ATM機能1と各加入者インタフェース2A～2Nの間は、共通ライン5を用いてUTOPIAアドレスを送受する。

また、各加入者インタフェース2A～2NとATM機能1の間は、個別の制御ライン6(6A～6N)を用いてセルアベイラブル信号を送信可能に構成する。

また、ATM機能1と各加入者インタフェース2A～2Nの間は、個別の制御ライン7(7A～7N)を用いてイネーブル信号を送信可能に構成する。

【0017】

また、ATM機能1には、セルの送信に関し、所定の優先処理を行う優先処理機能を有する。

即ち、QoSクラスの優先処理(CBR(音声データ等の固定ビットレートサービス)及びUBR(画像を含むデータ等の無規定ビットレートサービス)トラフィック)で設定された各加入者インタフェース2A～2Nが同じUTOPIAアドレスであるときに、セルアベイラブル信号をアサートした場合には、CBRの加入者インタフェース2に対するセルの送信を優先するよう設定されている。これは、画像を含むデータに対し、音声データは少しでも脱落すると情報伝達ができなくなるためであり、このCBR(音声データ)側を優先させるよう設定されている。また、各加入者インタフェース2A～2N同士が同じCBR、UBR

のときに、セルアベイラブル信号をアサートしたときは、若いグループ番号側の加入者インタフェース 2（例えば 2 A，2 B 同士では 2 A）を優先させるよう設定されている。

【0018】

次に動作について説明する。

図 2 は、上記構成によるセルの送受信を説明するためのシーケンス図である。図示の例では、説明の便宜上、A T M 機能 1 から 2 つのグループ（# 1，# 2）の加入者インタフェース 2 A，2 B に対しセルを送信する手順について説明する。

【0019】

①まず、A T M 機能 1 から各加入者インタフェース 2 A，2 B（グループ # 1，# 2）に対して共通ライン 5 上で U T O P I A アドレス（0～31）を用いたポーリングを行う。この際、1 ポーリングで全てのアドレス 0～31 を指定する。②次に、各加入者インタフェース 2 A，2 B は、A T M 機能 1 に対して受信するセルがある場合、それぞれセルアベイラブル信号をアサートする。上述したように、このセルアベイラブル信号は、各加入者インタフェース 2 A，2 B 毎に（グループ番号 # 1，# 2 毎）に対応してセルアベイラブル信号 1，2 を用いて拡張されている。

【0020】

③次に、A T M 機能で以下の送信順序処理を施す。

上記のように、セルの送信時には、Q o s クラスの優先処理を実行する。例えば、加入者インタフェース 2 A，2 B がいずれも同じ U T O P I A アドレスでセルアベイラブル信号をアサートしたとする。加入者インタフェース 2 A に送信するセルが U B R（画像を含むデータ）であり、加入者インタフェース 2 B に送信するセルが、C B R（音声データ）である場合には、C B R である加入者インタフェース 2 B に対するセル送信を優先させる。

【0021】

また、同じ Q o s クラスで設定された加入者インタフェース 2 A，2 B が同じ U T O P I A アドレスでセルアベイラブル信号をアサートした場合には、若いグ

ループ番号である加入者インタフェース 2 A（グループ # 1）側へのセル送信を優先する。例えば、送信セルがいずれの加入者インタフェース 2 A，2 B に対しても UBR を送信する場合、あるいはいずれにも CBR を送信する場合、若いグループ番号への送信を優先させる。なお、この優先度は、予め設定されるものであり、各グループ別に異なる優先度を有していれば良く、大きなグループ番号を優先させたり、特定のグループ番号を優先させることもできる。

【 0 0 2 2 】

④そして、ATM機能 1 は、上記の送信順序処理にて決定した順序にてセルを送信する。例えば、加入者インタフェース 2 A 側への送信が優先決定された場合、ATM機能 1 は、イネーブル信号 1 をアサートし、加入者インタフェース 2 A に対しセルを送信する。

⑤加入者インタフェース 2 A に対するセルの送信完了後、ATM機能 1 は、イネーブル信号 2 をアサートし、加入者インタフェース 2 B に対しセルを送信する。

【 0 0 2 3 】

⑥次に、送信順序処理にて決定された最後の加入者インタフェース番号（上記説明では加入者インタフェース 2 B）へのセル送信開始と同時に、①で説明したポーリングを再度開始する。

【 0 0 2 4 】

以上のように、この実施の形態 1 によれば、UTOPIA レベル 2 インタフェースを用いつつ、最大 3 2 P H Y 機能の制約を受けず、3 2 × N グループの P H Y 機能を接続できるという効果が得られる。上記効果に加えて、P H Y 機能の数を増大させた際に、複数グループの同じ番号に対する送信セルが C B R（音声）と U B R（画像）で同時にアサートした場合であっても、C B R 側を優先送信する構成としたので、音声の脱落を防止でき、安定した情報伝達が行えるようになる。また、同時のアサート時にいずれの送信セルが同じ C B R、あるいは U B R であるときは、若い番号を優先送信する構成としたので、この優先設定により、UTOPIA レベル 2 を用いた Q o s 制御を実行でき、また、各 P H Y 機能に対するセル送信を安定して効率よく実行できる効果がある。

【 0 0 2 5 】

実施の形態 2.

上記実施の形態 1 で説明した構成の U T O P I A - I / F 3 は、その配線が B W B (バックワイヤボード) を用いてなされる。即ち、上述した A T M 機能 1 と P H Y 機能 2 とを接続する U T O P I A - I / F 3 は、単一基板上での配線で構成され、B W B と呼称される。

【 0 0 2 6 】

図 3 は、B W B の構成を示す図である。B W B 基板 1 0 上には、U T O P I A - I / F 3 を構成する接続ラインがプリント配線 1 1 により形成されている。

U T O P I A - I / F 3 を構成するプリント配線 1 1 は、上記実施の形態 1 で説明した、U T O P I A アドレス送受用の共通ライン 5、セルアベイラブル信号の制御ライン 6、イネーブル信号の制御ライン 7 に加え、セルデータ送受用のデータライン 8、S O C (スタート・オブ・セル) ライン 9 からなる。例えば、共通ライン 5 は 5 b i t、データライン 8 は 8 b i t のデータを送受する。

【 0 0 2 7 】

制御ライン 6、7 については、上述の如く、A T M 機能 1 と、各加入者インタフェース機能 2 との間で個別に 1 本ずつ配線される。

そして、共通ライン 5、データライン 8、S O C ライン 9 は、それぞれ A T M 機能 1 と、加入者インタフェース機能 2 A ~ 2 N (各グループ # 0 0 ~ # 3 1) との間で共通 (並列) 接続される。

【 0 0 2 8 】

これにより、セルアベイラブル/イネーブル信号の送受のみ個別に配線した制御ライン 6、7 を用いるだけで、U T O P I A - L E V E L 2 の仕様のままで P H Y 機能 2 側を拡張したインタフェース制御が実行できるようになる。

即ち、共通接続された共通ライン 5、データライン 8、S O C ライン 9 を介して全加入者インタフェース機能 2 A ~ 2 N に対するアドレス指定、データ送受が行えるようになり、加入者インタフェース機能 2 のグループ数を N まで増やしても、共通ライン 5、データライン 8、S O C ライン 9 の配線が共通接続により配線数が不変にできる。そして、制御ライン 6、7 のみ増加したグループ数 N に対応して増やせばよく、共通ライン 5、データライン 8、S O C ライン 9 に関して

は A T M 機能 1 側から個別に各加入者インタフェース 2 A ~ 2 N に配線する必要がないため、プリント配線 1 1 は実質的に配線数を削減できるようになる。配線数の削減により B W B ボード 1 0 の製造コストを低減化できる。

なお、プリント配線 1 1 の配線数の削減は、上記した各ラインを用いてポーリング、セルアベイラブル／イネーブル制御を行うことを前提として達成される。

【 0 0 2 9 】

以上のように、この実施の形態 2 によれば、U T O P I A レベル 2 インタフェースにおいて $32 \times N$ グループの P H Y 機能を接続させる構成時において、P H Y 機能の数を増大させても、セルアベイラブル／イネーブル信号用の制御ラインのみ個別に配線するだけで良く、配線数が増大せず配線の手間と製造コストの低減化を図れる効果がある。

【 0 0 3 0 】

上記実施の形態では、具体例として 1 9 2 P H Y とし、アドレス 5 b i t 、イネーブル／セルアベイラブル信号 1 3 b i t を使用構成としたが、アドレス b i t 数及びイネーブル／セルアベイラブル信号 b i t 数を増大させ、A T M 機能 1 と各加入者インタフェース 2 との間に N 本の制御ライン 6 , 7 を個別に配線することにより、より多数の P H Y 機能を用いた U T O P I A インタフェース制御が実行可能になる。

【 0 0 3 1 】

【発明の効果】

以上のように、この発明によれば、P H Y レイヤ機能を複数のグループ N に拡張させ、A T M レイヤ機能と P H Y レイヤ機能の各グループとの間で、U T O P I A アドレスを共通に制御し、セルアベイラブル、イネーブルをそれぞれ個別に制御する構成としたので、A T M レイヤ機能と P H Y レイヤ機能を $1 : 32 \times N$ に増大させて制御可能な効果がある。

【 0 0 3 2 】

この発明によれば、複数のグループ N からなる P H Y レイヤ機能と、A T M レイヤ機能と P H Y レイヤ機能の各グループとの間に共通に接続される U T O P I A アドレス信号のラインと、A T M レイヤ機能と P H Y レイヤ機能の各グループ

との間に個別に接続されるセルアベイラブル信号、イネーブル信号のラインとを備えて構成したので、ATMレイヤ機能とPHYレイヤ機能を $1:32 \times N$ に増大させて接続可能であり、同一のUTOPIAアドレスを持つPHY機能をATM機能に接続可能な効果がある。

【0033】

この発明によれば、ATMレイヤ機能は、PHYレイヤ機能の各グループで同じUTOPIAアドレスのセルアベイラブル信号をアサートした場合、CBRトラフィックのPHYレイヤ機能のグループに対するセルの送信をUBRトラフィックのグループに対するセルの送信より優先するよう優先度を設定する送信順序設定手段を備えて構成したので、CBRとUBRトラフィックに対して最適なQoS制御が可能で、特にCBRトラフィックに対する安定したセル送受が可能となり、ネットワーク資源を効率良く機能させることができる効果がある。

【0034】

この発明によれば、ATMレイヤ機能は、PHYレイヤ機能の各グループで同じUTOPIAアドレスのセルアベイラブル信号をアサートし、送信するセルがいずれもCBR、あるいはUBRトラフィックで同一な場合には、予め設定した優先順のグループ番号のPHYレイヤ機能に対するセルの送信を実行する送信順序処理手段を備えて構成したので、設定された優先順に基づき各グループ番号のPHYレイヤ機能に対するセル送受を円滑にかつ安定して行え、ネットワーク資源を効率良く機能させることができる効果がある。

【0035】

この発明によれば、ATM機能とUTOPIAアドレス数を単位として複数のグループNからなるPHYレイヤ機能との間の信号線は、ATMレイヤ機能からPHYレイヤ機能の各グループに対してUTOPIAアドレス及びデータ用のラインを共通に並列接続し、ATMレイヤ機能からPHYレイヤ機能の各グループに対してセルアベイラブル／イネーブル用のラインをそれぞれ個別に接続したものであり、バックボード上の配線数を削減でき、配線の手間と製造コストを低減化できる効果がある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 による U T O P I A - I / F を示す構成図である。

【図 2】 実施の形態 1 によりセルの送受信を説明するためのシーケンス図である。

【図 3】 この発明の実施の形態 2 によるバックワイヤボードを示す図である。

【図 4】 従来の U T O P I A インタフェース制御方式による A T M レイヤ機能と P H Y レイヤ機能の接続構成を示す図である。

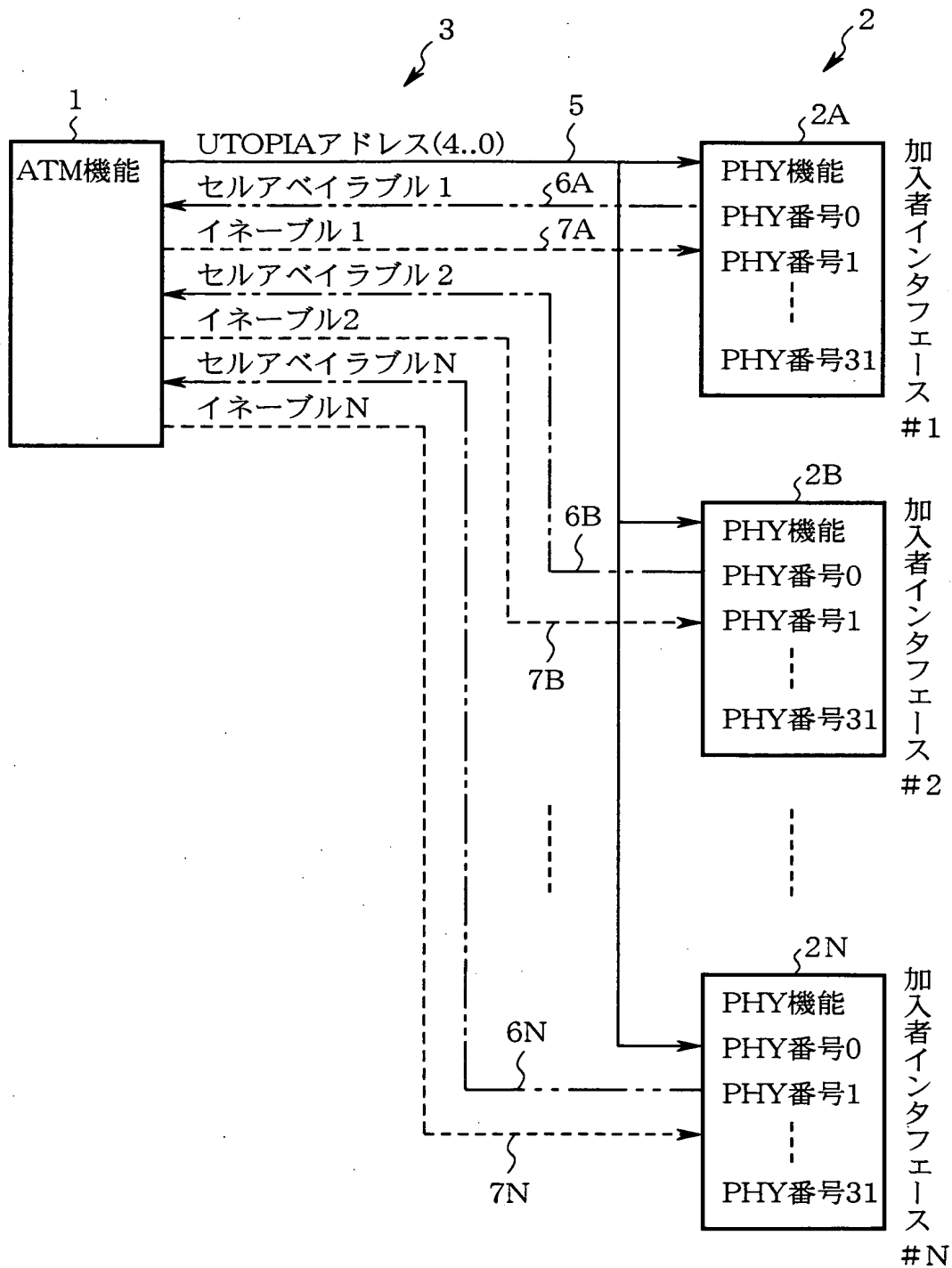
【図 5】 従来技術によるセルの送受信を説明するためのシーケンス図である。

【符号の説明】

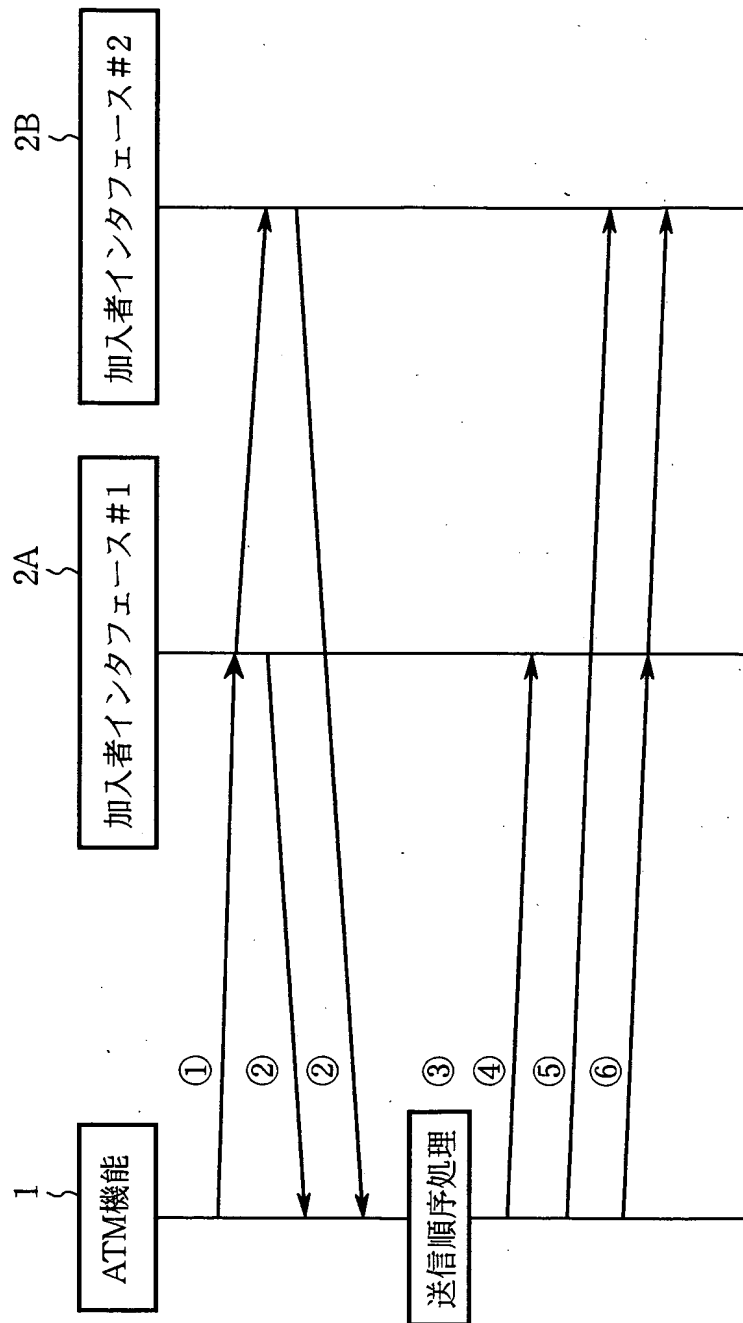
1 A T M 機能、2 (2 A ~ 2 N) 加入者インタフェース、3 U T O P I A - L E V E L 2 インタフェース、5 共通ライン、6 (6 A ~ 6 N) , 7 (7 A ~ 7 N) 制御ライン、8 データライン、9 S O C ライン、1 0 B W B 基板、1 1 プリント配線、4 0 A T M 機能、4 1 加入者インタフェース。

【書類名】 図面

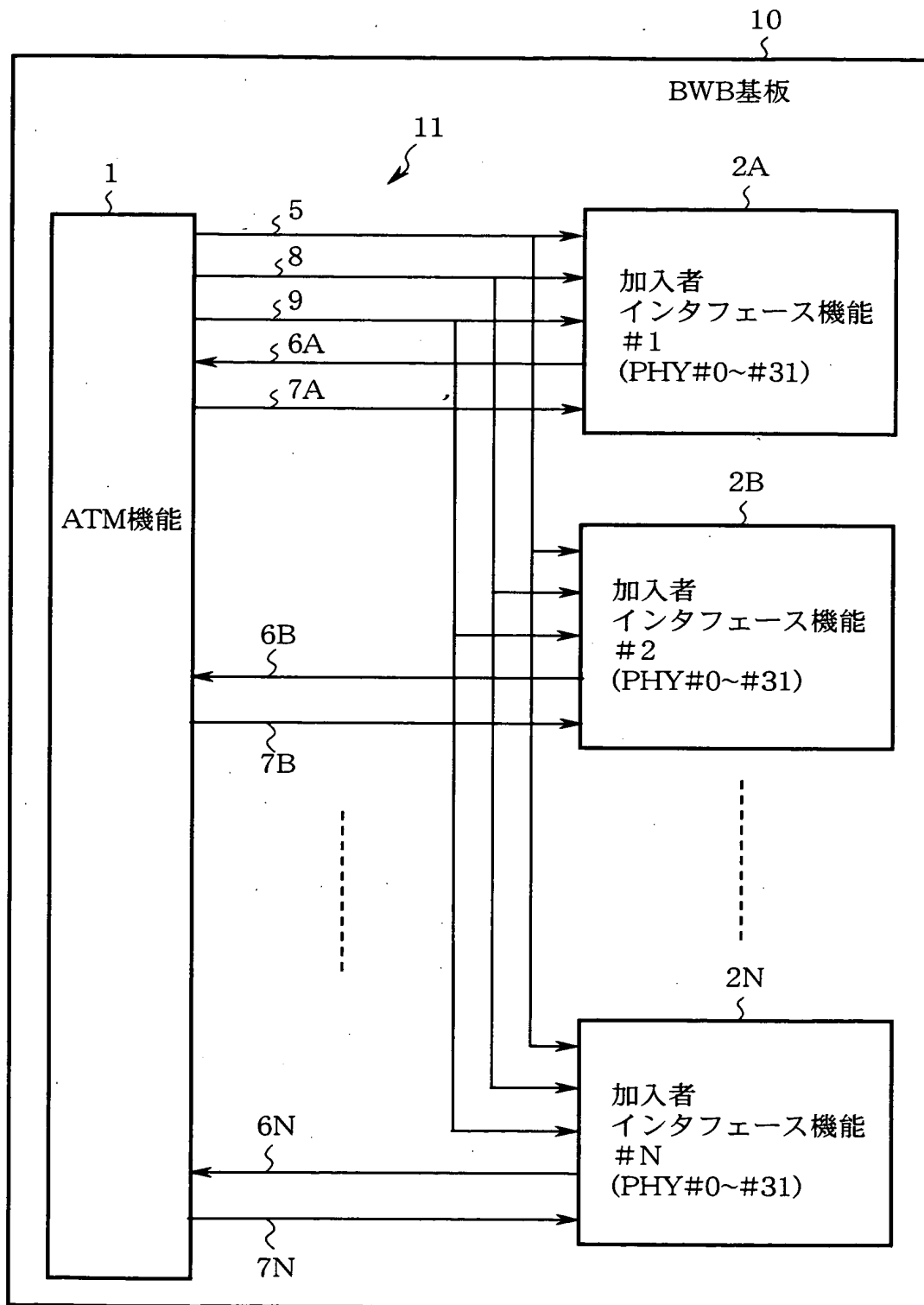
【図1】



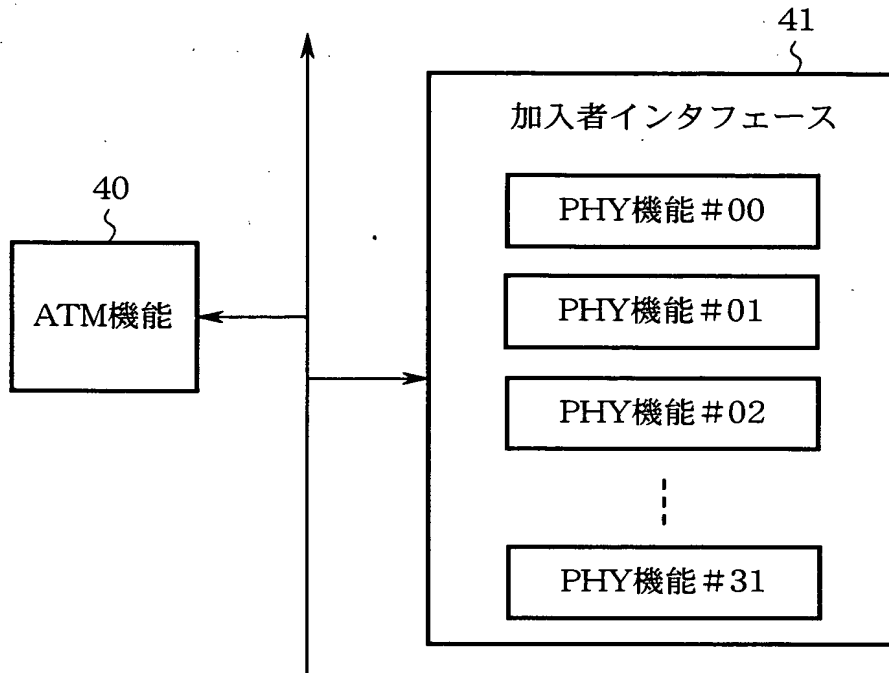
【図2】



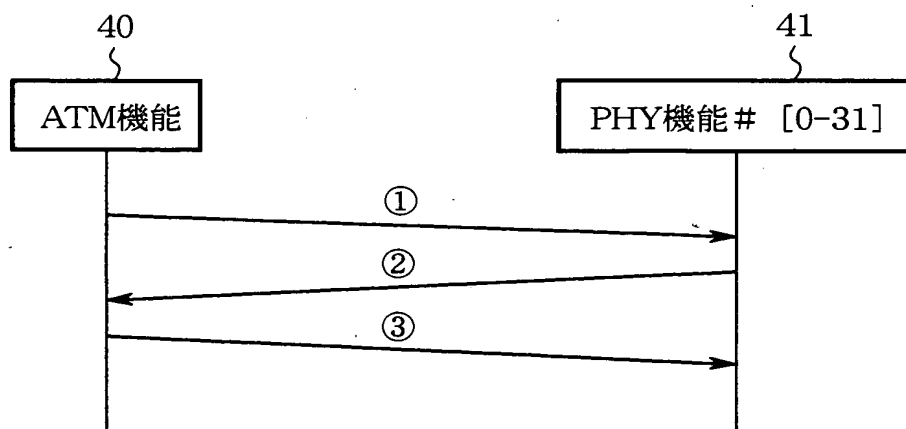
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 簡単な構成で P H Y 機能の数をより増大させて A T M 機能に接続できること。

【解決手段】 共通ライン 5 は、A T M レイヤ機能 1 と加入者インタフェース機能 2 A ～ 2 N の各グループとの間に共通に接続される。セルアベイラブル信号の制御ライン 6 A ～ 6 N と、イネーブル信号の制御ライン 7 A ～ 7 N は、A T M レイヤ機能 1 と加入者インタフェース機能 2 A ～ 2 N の各グループとの間に個別に接続される。これにより、A T M レイヤ機能 1 に対して加入者インタフェース機能 2 A ～ 2 N 内の P H Y レイヤ機能を $32 \times N$ に増大して接続可能となる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社